# 实验二 组合逻辑电路（半加器全加器及逻辑运算）

1. **实验目的**
2. 掌握组合逻辑电路的功能测试
3. 验证半加器和全加器的逻辑功能
4. 学会二进制数的运算规则
5. **实验仪器及材料**

7400 二输入端四与非门，7486 二输入端四异或门，7454 四组输入与或非门

1. **预习要求**
2. 预习组合逻辑电路的分析方法
3. 预习用与非门和异或门构成的半加器、全加器的工作原理
4. 预习二进制数的运算
5. **实验内容**
6. 完成与非门、异或门、与或非门逻辑功能测试。
7. 测试由异或门和与非门组成的半加器的逻辑功能。

根据半加器的逻辑表达式可知，半加器和位Y是A、B的异或而进位Z是A、B相与，故半加器可用一个继承异或门和两个与非门构成如图2.1。



图2.1 半加器电路结构图

1. 按照图2.1完成电路连接。
2. 按照表2.1改变A、B状态，并填表。

表2.1 半加器真值表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输入 | A | 0 | 0 | 1 | 1 |
| B | 0 | 1 | 0 | 1 |
| 输出 | Y |  |  |  |  |
| Z |  |  |  |  |

1. 测试全加器的逻辑功能。



图2.2 全加器电路结构图

1. 写出图2.2的逻辑功能表达式（Y Z X1 X2 X3 Si Ci）
2. 根据逻辑功能表达式列出真值表
3. 按原理图选择与非门并接线测试，将结果记入表2.2。
4. 用异或、与或非门和与非门实现全加器的逻辑功能。

全加器可以用两个半加器和两个与门一个或门组成，在实验中，常用一块双异或门、一个与或非门和一个与非门实现。

1. 画出用异或门、与或非门和非门实现全加器的逻辑电路图，写出逻辑表达式。
2. 找出异或门、与或非门和与非门器件按自己画的图接线。接线时注意与或非门中不用的与门输入线接地。
3. 按表2.2完成真值表。

表2.2 全加器真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Ai | Bi | Ci-1 | Si | Ci |
| 0 | 0 | 0 |  |  |
| 0 | 0 | 1 |  |  |
| 0 | 1 | 0 |  |  |
| 0 | 1 | 1 |  |  |
| 1 | 0 | 0 |  |  |
| 1 | 0 | 1 |  |  |
| 1 | 1 | 0 |  |  |
| 1 | 1 | 1 |  |  |

1. **实验报告要求**

根据报告模板各部分内容撰写实验报告。其中，实验结果记录须包括：

1. 原始实验结果记录，即仿真测试波形图和实际硬件环境运行结果的拍照、截图。
2. 数据的整理、分析，根据原始数据整理得到的真值表、时序图、状态转换图等，以及用输入、输出变量之间的逻辑关系分析描述。